



# INSULATING GATE TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

**Patent number:** JP10065164  
**Publication date:** 1998-03-06  
**Inventor:** YAMAZAKI SHUNPEI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
**- international:** *H01L29/78; H01L21/335; H01L21/336; H01L21/8238; H01L27/092; H01L29/10; H01L29/786; H01L21/02; H01L21/70; H01L27/085; H01L29/02; H01L29/66; (IPC1-7): H01L29/78; H01L21/336*  
**- european:** *H01L29/786S; H01L21/335D; H01L21/336H1; H01L21/336S; H01L21/8238; H01L27/092; H01L29/10D2B2; Y01N4/00*  
**Application number:** JP19960232553 19960813  
**Priority number(s):** JP19960232553 19960813

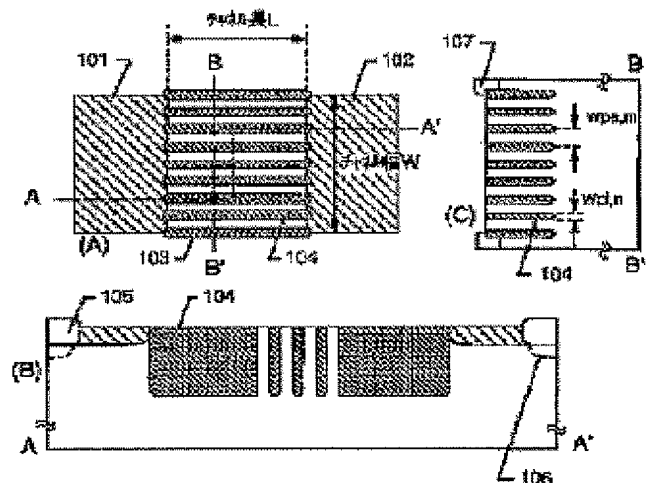
Also published as:

 US6653687 (B1)  
 GB2316227 (A)

Report a data error here

## Abstract of JP10065164

**PROBLEM TO BE SOLVED:** To realize fine semiconductor device with short channel length, while preventing the short channel effect.  
**SOLUTION:** Impurity regions 104 taking linear pattern shape in parallel with a channel forming region 103 are formed in the channel direction (field direction). The impurity regions 104 suppress the expansion of the drain side depletion layer also bringing about the narrow channel effect, so as to arrest the short channel effect. Furthermore, in the channel forming region 103, the impurity regions 104 energywise specify the carrier moving path in one direction, thereby suppressing the scattering of mutual carriers due to irregular collisions.



**Family list**6 family members for: **JP10065164**

Derived from 3 applications

- 1 Striped channel IGFET**  
**Inventor:** YAMAZAKI SHUNPEI **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L29/786S; H01L21/335D; (+6) **IPC:** H01L29/78; H01L21/335; H01L21/336 (+10)  
**Publication info:** **GB2316227 A** - 1998-02-18  
**GB2316227 B** - 2001-11-21  
**GB9717145D D0** - 1997-10-22
- 2 INSULATING GATE TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD**  
**Inventor:** YAMAZAKI SHUNPEI **Applicant:** SEMICONDUCTOR ENERGY LAB  
**EC:** H01L29/786S; H01L21/335D; (+6) **IPC:** H01L29/78; H01L21/335; H01L21/336 (+11)  
**Publication info:** **JP3634086B2 B2** - 2005-03-30  
**JP10065164 A** - 1998-03-06
- 3 Insulated gate semiconductor device**  
**Inventor:** YAMAZAKI SHUNPEI (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)  
**EC:** H01L29/786S; H01L21/335D; (+6) **IPC:** H01L29/78; H01L21/335; H01L21/336 (+10)  
**Publication info:** **US6653687 B1** - 2003-11-25

---

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65164

(43) 公開日 平成10年(1998) 3月6日

(51) Int. Cl. <sup>6</sup>

H01L 29/78

21/336

識別記号

F I

H01L 29/78

301 H

301 Y

審査請求 未請求 請求項の数28 F D (全20頁)

(21) 出願番号 特願平8-232553

(22) 出願日 平成8年(1996) 8月13日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

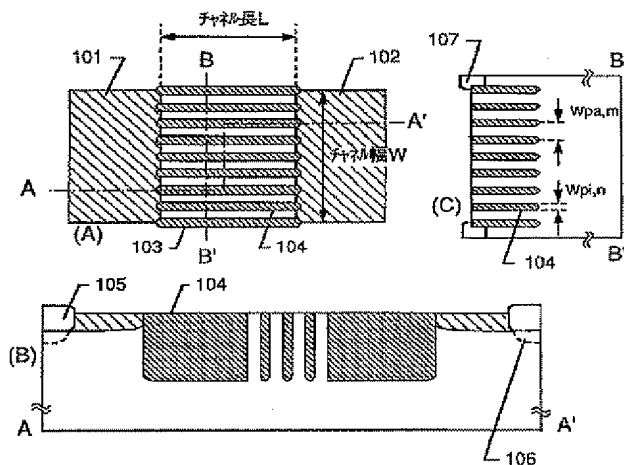
導体エネルギー研究所内

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその作製方法

(57) 【要約】

【課題】 短チャネル効果を防止しつつチャネル長の短い微細な半導体装置を実現する。

【解決手段】 チャネル形成領域103に対してチャネル方向（電界方向）と平行に線状パターン形状を有する不純物領域104を形成する。この不純物領域104がドレイン側空乏層の広がりを抑え、かつ、狭チャネル効果を起こして短チャネル効果を防止する。また、チャネル形成領域103において、不純物領域104はエネルギー的にキャリアの移動経路を一方向に規定し、キャリア同士の不規則な衝突による散乱を抑制する。



1

## 【特許請求の範囲】

【請求項 1】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域において人為的かつ局部的に形成された不純物領域と、

前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を少なくとも有する絶縁ゲート型半導体装置において、前記不純物領域はエネルギーバンド幅 ( $E_g$ ) をシフトさせる不純物元素が添加され、かつ、該不純物領域によりキャリアの移動経路が規定されることを特徴とする絶縁ゲート型半導体装置。

【請求項 2】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、前記ドレイン領域より前記チャネル形成領域およびソース領域に向かって広がる空乏層をピニングし、かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、

を有し、前記不純物領域にはエネルギーバンド幅 ( $E_g$ ) をシフトさせる不純物元素が添加されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 3】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、前記ドレイン領域より前記チャネル形成領域およびソース領域に向かって広がる空乏層をピニングし、かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、

を有し、前記不純物領域にはエネルギーバンド幅 ( $E_g$ ) をシフトさせる不純物元素が添加され、

前記キャリアが移動する領域においてはキャリアの不純物散乱を防止する手段若しくはキャリアの格子散乱以外の要因による移動度低下を防止する手段が施されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 4】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、不純物元素の添加により所定のしきい値電圧に制御し、

2

かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、  
を有し、

前記不純物領域にはエネルギーバンド幅 ( $E_g$ ) をシフトさせる不純物元素が添加されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 5】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、不純物元素の添加により所定のしきい値電圧に制御し、かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、

を有し、前記不純物領域にはエネルギーバンド幅 ( $E_g$ ) をシフトさせる不純物元素が添加され、前記キャリアが移動する領域においてはキャリアの不純物散乱を防止する手段若しくはキャリアの格子散乱以外の要因による移動度低下を防止する手段が施されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 6】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域においてエネルギーバンド幅 ( $E_g$ ) をシフトさせる不純物元素を添加することにより人為的かつ局部的に形成された不純物領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、

を少なくとも有する絶縁ゲート型半導体装置において、前記不純物領域は絶縁性を有しており、前記不純物領域によりキャリアの移動経路が規定され、前記チャネル形成領域において前記不純物領域以外の領域には前記不純物元素が添加されない又は極微量に添加されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 7】請求項 1 乃至請求項 6 において、前記チャネル形成領域の幅  $W$  に対して前記不純物領域および前記不純物領域間の幅が占有する割合をそれぞれ  $W_{pi}$ 、 $W_{pa}$  とする時、前記  $W$ 、 $W_{pi}$  および  $W_{pa}$  との間には、 $W_{pi}/W=0.1 \sim 0.9$ 、 $W_{pa}/W=0.1 \sim 0.9$ 、 $W_{pi}/W_{pa}=1/9 \sim 9$  の関係式が成り立つことを特徴とする絶縁ゲート型半導体装置。

【請求項 8】請求項 1 乃至請求項 6 において、前記チャネル形成領域のチャネル方向に垂直な少なくとも一断面は、実質的に前記不純物領域により区切られた複数のチャネル形成領域の集合体と見なせることを特徴とする絶縁ゲート型半導体装置。

【請求項 9】請求項 1 乃至請求項 6 において、前記チャネル形成領域において駆動時に生じる短チャネル効果に伴うしきい値電圧の低下は、前記不純物領域を利用する

ことで得られる狭チャネル効果に伴うしきい値電圧の増加により緩和されることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 0】請求項 1 乃至請求項 6 において、前記不純物領域は 100 ～ 3000 Å の間隔で配置されることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 1】請求項 1 乃至請求項 6 において、前記チャネル形成領域内の前記不純物領域以外の領域は真性または実質的に真性な領域であることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 2】請求項 1 乃至請求項 6 において、前記不純物領域に添加された不純物元素の濃度によってしきい値電圧が所定の値に制御され、前記チャネル形成領域内の前記不純物領域以外の領域においてキャリアがソース／ドレイン領域間を移動するように構成されることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 3】請求項 1 乃至請求項 6 において、前記結晶半導体とは単結晶半導体であることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 4】請求項 1 乃至請求項 6 において、前記不純物元素とは 1 3 族または 1 5 族の元素であることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 5】請求項 1 4 において、前記 1 3 族の元素とはボロンであり、前記 1 5 族の元素とはリンまたは砒素であることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 6】請求項 1 乃至請求項 1 2 において、前記不純物領域はソース／ドレイン間に形成される電界方向と概略平行に形成された線状パターンであることを特徴とする絶縁ゲイト型半導体装置。

【請求項 1 7】結晶半導体を利用してソース領域、ドレイン領域およびチャネル形成領域とを形成する工程と、前記チャネル形成領域において人為的かつ局部的に不純物領域を形成する工程と、前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、を少なくとも有する絶縁ゲイト型半導体装置の作製方法において、前記不純物領域にはエネルギーバンド幅 (Eg) をシフトさせる不純物元素が人為的かつ局部的に添加され、かつ、該不純物領域によりキャリアの移動経路が規定されることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項 1 8】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域を形成する工程と、前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、を少なくとも有する絶縁ゲイト型半導体装置の作製方法であって、前記ドレイン領域より前記チャネル形成領域およびソー

ス領域に向かって広がる空乏層をピニングし、かつ、キャリアの移動経路を規定するための不純物領域を形成するために、前記チャネル形成領域に対してエネルギーバンド幅 (Eg) をシフトさせる不純物元素を人為的かつ局部的に添加する工程を有することを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項 1 9】結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域を形成する工程と、

10 前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、

を少なくとも有する絶縁ゲイト型半導体装置の作製方法であって、

不純物元素の添加により所定のしきい値電圧に制御し、かつ、キャリアの移動経路を規定するための不純物領域を形成するために、前記チャネル形成領域に対してエネルギーバンド幅 (Eg) をシフトさせる不純物元素を人為的かつ局部的に添加する工程を有することを特徴とする絶縁ゲイト型半導体装置の作製方法。

20 【請求項 2 0】結晶半導体を利用してソース領域、ドレイン領域およびチャネル形成領域とを形成する工程と、

前記チャネル形成領域においてエネルギーバンド幅 (Eg) をシフトさせる不純物元素を添加することにより、人為的かつ局部的に不純物領域を形成する工程と、

前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、

を少なくとも有する絶縁ゲイト型半導体装置の作製方法において、

前記不純物領域は絶縁性を有しており、

30 前記不純物領域によりキャリアの移動経路が規定され、前記チャネル形成領域において前記不純物領域以外の領域には前記不純物元素が添加されない又は極微量に添加されていることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項 2 1】請求項 1 7 乃至請求項 2 0 において、前記チャネル形成領域内の前記不純物領域以外の領域は真性または実質的に真性な領域であることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項 2 2】請求項 1 7 乃至請求項 2 0 において、前記チャネル形成領域の幅 W に対して前記不純物領域および前記不純物領域間の幅が占有する割合をそれぞれ Wp<sub>i</sub>、Wp<sub>a</sub> とする時、前記 W、Wp<sub>i</sub> および Wp<sub>a</sub> との間には、 $Wp_i/W=0.1 \sim 0.9$ 、 $Wp_a/W=0.1 \sim 0.9$ 、 $Wp_i/Wp_a=1/9 \sim 9$  の関係式が成り立つことを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項 2 3】請求項 1 7 乃至請求項 2 0 において、前記チャネル形成領域のチャネル方向に垂直な少なくとも一断面は、実質的に前記不純物領域により区切られた複数のチャネル形成領域の集合体と見なせることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項24】請求項17乃至請求項20において、前記不純物領域は100～3000Åの間隔で配置されることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項25】請求項17乃至請求項20において、前記結晶半導体とは単結晶半導体であることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項26】請求項17乃至請求項20において、前記不純物元素とは13族または15族の元素であることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項27】請求項26において、前記13族の元素とはボロンであり、前記15族の元素とはリンまたは砒素であることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項28】請求項17乃至請求項24において、前記不純物領域はソース／ドレイン間に形成される電界方向と概略平行に形成された線状パターンであることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、結晶半導体基板、例えば単結晶シリコン基板若しくはS O I 基板（S I M O X など）を利用して形成された絶縁ゲイト型半導体装置、特に絶縁ゲイト型電界効果トランジスタ（以後、単に I G - F E T と略記する）の構成およびその作製方法に関する。特に、チャネル長が1μm以下（代表的には0.01～0.35μm）の微細素子を作製する場合において効果を発揮する技術である。

【0002】従って、本発明は I G - F E T を集積化して構成された I C、V L S I、U L S I などの様々な半導体集積化回路に応用することが可能である。

【0003】

【従来の技術】近年、V L S I などの集積化回路は益々微細化の一途を辿る傾向にあり、配線の幅も0.18μm以下、さらには0.1μm以下といったディープサブミクロン領域の加工寸法が要求されるようになってきている。

【0004】これまで半導体素子の微細化はスケーリング則に従って進められてきており、微細化が集積化回路の特性向上をもたらすことは一般的に知られていた。しかしながら、サブミクロン領域の微細加工となると単純にはスケーリング則に従わない問題が生じるようになる。

【0005】その様な問題として短チャネル効果という現象が代表的に知られている。短チャネル効果とは、ゲイト電極の線幅が短くなる、即ちチャネル形成領域が短くなるにつれて、チャネル形成領域の電荷がゲイト電圧だけでなく、ソース／ドレイン領域の空乏層電荷や電界および電位分布の影響を大きく受けるようになるために引き起こされる現象である。

【0006】この様子を簡略化して図3に示す。301はソース領域、302はドレイン領域、303はチャネル領域、304はゲイト電極である。また、305で示

される点線はドレイン電圧V<sub>d</sub>が小さい時に形成される空乏層を表している。

【0007】通常、チャネル領域303を流れる電流はゲイト電圧V<sub>g</sub>のみで制御される。この場合、305で示される様に、チャネル領域303近傍の空乏層はチャネルに概略平行となり、均一な電界が形成される。

【0008】しかし、ドレイン電圧V<sub>d</sub>が高くなると、ドレイン領域302近傍の空乏層がチャネル領域303、ソース領域301の方へと広がり、306で示される実線で表される様に、ドレイン空乏層の電荷や電界がソース領域301、チャネル領域303近傍の空乏層へと影響を及ぼす様になる。即ち、オン電流が複雑な電界分布により変化し、ゲイト電圧V<sub>g</sub>のみで制御することが困難な状況となるのである。

【0009】ここで、短チャネル効果が生じる場合におけるチャネル形成領域周辺のエネルギー状態を図4を用いて説明する。図4において実線で示す状態図はドレイン電圧が0Vの時のソース領域401、チャネル形成領域402、ドレイン領域403のエネルギーバンド図である。

【0010】この状態において十分大きいドレイン電圧V<sub>d</sub>が印加されると、図4において点線で示す様な状態へと変化する。即ち、ドレイン電圧V<sub>d</sub>により形成されたドレイン領域103の空乏層電荷や電界が、ソースおよびチャネル領域401、402の空乏層電荷に影響を与え、エネルギー（電位）状態はソース領域401からドレイン領域403にかけて連続的に変化する様になる。

【0011】そして、このような短チャネル効果が半導体素子、例えば I G - F E T に与える影響としてはしきい値電圧（V<sub>th</sub>）の低下やパンチスルー現象がよく知られている。また、パンチスルー現象によってドレイン電流に対するゲイト電圧の影響が低下するとサブスレッショルド特性が悪くなることも知られている。

【0012】まず、しきい値電圧の低下はNチャネル型FETに対してもPチャネル型FETに対しても同様に見られる現象である。また、この低下の度合いはドレイン電圧に依存するばかりでなく、基板不純物濃度、ソース／ドレイン拡散層深さ、ゲイト酸化膜厚、基板バイアス等の様々なパラメータに依存する。

【0013】しきい値電圧の低下は消費電力を小さくするといった意味では望ましいことであるが、一般的には集積回路の駆動電圧が小さくなることで周波数特性が高くないといったデメリットが問題となってしまう。

【0014】そのため、これまではしきい値電圧を制御するための手段としてはチャネル形成領域全体に、均一に一導電性を付与する不純物元素を添加して、その添加量でもってしきい値電圧を制御するのが一般的であった。しかし、この方法でもやはり短チャネル効果自体を防ぐことはできず、パンチスルー現象などが発生してし

まっていた。また、添加した不純物がキャリアを散乱させるのでキャリアの移動度を低下させる要因ともなっていた。

【0015】また、パンチスルー現象に伴うサブスレッショルド特性の劣化とはサブスレッショルド係数（S 値）が大きくなる、即ちFETのスイッチング特性が劣化することを意味している。ここでサブスレッショルド特性に及ぼす短チャネル効果の影響を図5に示す。

【0016】図5は横軸にゲート電圧 $V_g$ 、縦軸にドレイン電流 $I_d$ の対数をとったグラフであり、501の領域における傾き（サブスレッショルド特性）の逆数がS 値である。この図5ではチャネル長を徐々に短くした時の特性の変化を比較しており、矢印の方向に向かってチャネル長は短くなっている。

【0017】その結果、チャネル長が短くなるに従って特性の傾きが小さくなる、即ちS 値が大きくなる傾向にあることが確認できる。このことは、チャネル長が短くなるに従ってFETのスイッチング特性が劣化することを意味する。

【0018】以上は半導体素子のチャネル形成領域の長さが極端の短くなった場合に生じる短チャネル効果の説明であるが、チャネル形成領域の幅が極端に狭くなった場合には狭チャネル効果という現象も発生する。

【0019】図6に示すのは、一般的なIG-FETをチャネル方向（ソースとドレインを結ぶ方向）と垂直な面で分断した断面図である。601は単結晶シリコン基板、602は選択酸化法によって形成されたフィールド酸化膜である。VLSIで用いられる個々の半導体素子は、フィールド酸化膜602によって各々分離されている。

【0020】また、603はゲート電極であり、ゲート電極603に電圧を印加することでチャネル領域604が形成される。なお、フィールド酸化膜602の下には不純物領域605が配置されており、チャネルストッパーとして機能する。

【0021】狭チャネル効果は、チャネル幅 $W$ が狭くなるに従い、チャネル領域604に対してフィールド酸化膜602、不純物領域605の食い込み部分（パズビーク）が大きく影響するようになることによって引き起こされる。具体的には、しきい値電圧の増加や実効チャネル幅の電源電圧依存性などが挙げられる。

【0022】

【発明が解決しようとする課題】現状の半導体産業においては、極限まで集積化された半導体集積回路が求められており、個々の半導体素子の微細化をどこまで追求できるかが鍵となっている。しかし、ディープサブミクロン領域のファインパターンを形成する技術が開発されたとしても、前述の様な短チャネル効果の問題が素子の微細化を阻む致命的な障害となっていた。

【0023】本発明は上記問題点を鑑みてなされたもの

であり、半導体素子の微細化に伴う短チャネル効果を効果的に抑制するための技術を開示するものである。そして、短チャネル効果によって実現が困難であったディープサブミクロン領域の微細素子を形成可能とすることを課題とする。

【0024】

【課題を解決するための手段】本明細書で開示する発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域において人為的かつ局部的に形成された不純物領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を少なくとも有する絶縁ゲート型半導体装置において、前記不純物領域はエネルギーバンド幅（ $E_g$ ）をシフトさせる不純物元素が添加され、かつ、該不純物領域によりキャリアの移動経路が規定されることを特徴とする。

【0025】また、他の発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、前記ドレイン領域より前記チャネル形成領域およびソース領域に向かって広がる空乏層をピニングし、かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、を有し、前記不純物領域にはエネルギーバンド幅（ $E_g$ ）をシフトさせる不純物元素が添加されていることを特徴とする。

【0026】また、他の発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、前記ドレイン領域より前記チャネル形成領域およびソース領域に向かって広がる空乏層をピニングし、かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、を有し、前記不純物領域にはエネルギーバンド幅（ $E_g$ ）をシフトさせる不純物元素が添加され、前記キャリアが移動する領域においてはキャリアの不純物散乱を防止する手段若しくはキャリアの格子散乱以外の要因による移動度低下を防止する手段が施されていることを特徴とする。

【0027】また、他の発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、不純物元素の添加により所定のしきい値電圧に制御し、かつ、キャリアの移動

経路を規定するために人為的かつ局部的に形成された不純物領域と、を有し、前記不純物領域にはエネルギーバンド幅 (Eg) をシフトさせる不純物元素が添加されていることを特徴とする。

【0028】また、他の発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を少なくとも有する絶縁ゲート型半導体装置であって、前記チャネル形成領域はキャリアが移動する領域と、不純物元素の添加により所定のしきい値電圧に制御し、かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、を有し、前記不純物領域にはエネルギーバンド幅 (Eg) をシフトさせる不純物元素が添加され、前記キャリアが移動する領域においてはキャリアの不純物散乱を防止する手段若しくはキャリアの格子散乱以外の要因による移動度低下を防止する手段が施されていることを特徴とする。

【0029】また、他の発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域と、前記チャネル形成領域においてエネルギーバンド幅 (Eg) をシフトさせる不純物元素を添加することにより人為的かつ局部的に形成された不純物領域と、前記チャネル形成領域上に形成されたゲート絶縁膜およびゲート電極と、を少なくとも有する絶縁ゲート型半導体装置において、前記不純物領域は絶縁性を有しており、前記不純物領域によりキャリアの移動経路が規定され、前記チャネル形成領域において前記不純物領域以外の領域には前記不純物元素が添加されない又は極微量に添加されていることを特徴とする。

【0030】なお、不純物領域以外の領域に不純物元素が添加されない又は極微量に添加されているとは、チャネルを形成する領域 (半導体層) は真性または実質的に真性な領域であることを意味している。

【0031】なお、本明細書において真性な領域とは、N型やP型を付与する不純物元素および炭素、窒素、酸素といった不純物元素を意図的に添加しない領域を指している。また、実質的に真性な領域とは、意図的にN型やP型を付与する不純物元素を添加しなくても生ずる導電型を相殺した領域、又はしきい値制御が可能な範囲においてソースおよびドレイン領域と同一導電型を呈する領域を指している。

【0032】また、本明細書において真性または実質的に真性な領域とは、リンまたはボロンの濃度が  $5 \times 10^{11} \text{ atoms/cm}^3$  以下であり、炭素または窒素または酸素の濃度が  $2 \times 10^{18} \text{ atoms/cm}^3$  以下である領域を指す。

【0033】また、本発明において上記不純物元素としては、Nチャネル型FETに対してはP型を付与するアクセプタとなりうる13族の元素 (代表的にはボロン) を用いることができる。また、Pチャネル型FETに対

してはN型を付与するドナーとなりうる15族の元素 (代表的にはリン、砒素) を用いることができる。

【0034】また、本明細書中においては結晶半導体として単結晶シリコンを代表例とするが、この単結晶シリコンとは現在のVLSI、ULSIレベルで一般的に用いられている水準の単結晶シリコンは勿論のこと、さらに高水準の単結晶シリコン (究極的には宇宙空間で作製された様な理想状態の単結晶シリコン) をも含んでいるものとする。

10 【0035】本発明の主旨は、チャネル形成領域の一端 (例えばソース領域) から他端 (例えばドレイン領域) に向かってチャネル方向 (電界方向) と概略平行に人為的に形成された不純物領域によりドレイン空乏層の広がり効果を抑制し、従来からの問題であったパンチスルー現象やそれに伴うサブスレッショルド特性の劣化を防止することにある。

【0036】本出願人はあたかもチャネル形成領域に不純物領域のピンを形成することに似ていることから、本発明によるIG-FETをピニング型トランジスタと呼んでいる。なお、本明細書中において「ピニング」とは「抑止」を意味しており、ピニングする」とは「抑止する」又は「抑える」という意味で用いている。

【0037】また、チャネル長の微細化に伴う短チャネル効果に起因する代表的現象であるしきい値電圧の低下を、人為的に狭チャネル効果を生じさせることで緩和してやることも本発明の重要な構成である。

【0038】図1(A)に示すのは一般的なIG-FETのソース領域、ドレイン領域およびチャネル形成領域を上面から見た時の状態の模式図である。なお、101がソース領域、102がドレイン領域、103がチャネル形成領域である。

【0039】そして、本発明の特徴はチャネル形成領域103内の一端から他端に向かって (例えば、ソース領域101からドレイン領域102に向かって) 電界方向と概略平行に線状パターン形状を有する不純物領域104が形成されている点である。本発明においては、添加する不純物としてPチャネル型FETに対してはリン (P) または砒素 (As)、Nチャネル型FETに対してはボロン (B) を用いる。

40 【0040】添加された不純物はチャネル形成領域103内に局部的にエネルギーバンド幅の大きいエネルギー障壁を形成する。例えば、Nチャネル型FETに対してP型を付与する不純物元素であるボロンを添加した場合には、図14(A)で示す状態であったエネルギーバンドを図14(B)で示す状態とし、フェルミレベル (Ef) をシフトさせることで障壁  $\Delta E$  がさらに大きな障壁  $\Delta E'$  となる。勿論この場合、フェルミレベルをシフトさせることは結果的にチャネル形成領域のエネルギーバンドをシフトさせることに他ならない。

50 【0041】この領域は逆導電性を有し、抵抗値は低い



もののエネルギー的には十分障壁となる。同様にPチャネル型FETに対してリンまたは砒素を添加した場合にも逆導電性領域が形成されてエネルギー障壁として活用することができる。

【0042】特に、図1(A)に示す様にドレイン領域102とチャネル形成領域103との接合部は最も電界の変化の激しい領域であるので、この位置に不純物領域104を配置しておくことが望ましい。また、ゲート電極による電界がドレイン領域102内にもおよぶ場合はドレイン領域102内に不純物領域104を形成すること

も可能である。逆にソース領域101内には不純物領域104は形成しない方が好ましい。

【0043】この様に、炭素、窒素、酸素を用いる場合においては、どの場合も不純物領域を絶縁性のエネルギー障壁として活用するのでNチャネル型TFTとPチャネル型TFTとで共通化することができる。このことは、本発明をCMOS回路に適用した場合に製造工程を簡略する上で有利であることを意味する。

【0044】また、これらの不純物元素は、母体基板がシリコンである場合、シリコン原子と強く結合するので加熱処理などにより再拡散する恐れが少ない。

【0045】また、本発明は $0.2\mu\text{m}$ 、さらには $0.1\mu\text{m}$ といったディープサブミクロン領域の微細加工を必要とする微細素子を形成する際に極めて効果的である。従って、チャネル形成領域の長さ(チャネル長またはソース/ドレイン間距離)も $0.01\sim 1.0\mu\text{m}$ 、代表的には $0.1\sim 0.35\mu\text{m}$ といった短いものとなるため、不純物領域はさらに細かいパターンを切らなければならない。

【0046】例えば、線状パターン状の不純物領域を形成する際にレジストマスクを利用する場合にはレジストマスクに開孔を設けるパターンニングは解像度の問題から通常の露光法を用いることができない。その様な場合においては、パターンニングを電子描画法やFIB法を用いて行うことで微細パターンを実現すれば良い。

【0047】また、この線状パターン状の不純物領域はパターンニングにより人為的に配列して形成されるので、図1(A)の様な配置だけでなく、任意の様な配置とすることが可能である。

【0048】次に、図1(A)に示すソース領域/チャネル形成領域/ドレイン領域の構成を有する絶縁ゲート型半導体装置(IG-FET)を駆動させた際に、どの様にして短チャネル効果が抑制されるかを以下に説明する。

【0049】まず、図1(A)をA-A'で切った断面図を図1(B)に示す。105はフィールド酸化膜、106はチャネルストッパーである。不純物領域104はソース領域101とドレイン領域102とを繋ぐ様に形成されているので、図1(B)に示した様にA-A'で切った断面では途切れなく不純物領域104が現れる。

【0050】また、図1(A)をB-B'で切った断面図を図1(C)に示す。107はフィールド酸化膜である。不純物領域104の深さ方向の形状は条件設定によって様々なバリエーションを採りうるが、ここでは理想的に散乱がないものとして棒状に注入された場合を例にする。

【0051】また、ある不純物領域104の幅は $w_{pi,n}$ で表され、その間隔は $w_{pa,m}$ で表される。ここでn、mはチャネル形成領域103内において、 $w_{pi,n}$ がn番目の不純物領域の幅であり、 $w_{pa,m}$ がm番目の不純物領域の間隔(キャリアの移動するパス)であることを意味している。

【0052】ここまでの説明は単に構造についての説明であったが、次にその効果についての説明を行う。まず、図1(B)に示す様な構造を有する半導体装置に対してゲート電圧、ドレイン電圧を印加した場合には、図2(A)に示す様な状態でソース側空乏層201、チャネル側空乏層202、ドレイン側空乏層203が形成される。即ち、ドレイン側空乏層203は不純物領域204が障壁となってソース側への広がりを防止された形となる。

【0053】図1(B)では判りにくい但不純物領域204は図1(A)に示す様に配置されているので、チャネル形成領域を塞ぐ格子状のフィルターでドレイン側空乏層の広がりを抑えているというモデルで考えれば理解しやすい。

【0054】従って、本発明による構造の半導体装置においては、図2(A)に示す様に空乏層が実質的に相互に干渉することなく分断される。即ち、ソース側空乏層201、チャネル側空乏層202が、ドレイン側空乏層203の影響を受けないで分布することになるので、エネルギー状態は図2(B)に示す状態となる。

【0055】即ち、図5に示した従来のエネルギー状態図と異なり、チャネル領域のエネルギー状態は殆どゲート電圧による電界のみに制御されるので、チャネル領域に対して概略平行な形状を有する。従って、短チャネル効果特有のパンチスルー現象の様な問題がなく、ドレイン耐圧の高い半導体装置を作製することができる。

【0056】さらに、図2(A)に示す様に、本発明においては空乏層の占める体積が、図3に示した様な従来のものと比べて減少しているため、従来よりも空乏層電荷が小さく、空乏層容量が小さい特徴がある。ここで、S値を導出する式は次式で表される。

【0057】

【数3】

$$S=d(V_g)/d(\log I_d)$$

【0058】即ち、前述の様に、図5に示すグラフにおいて501で示される領域における傾きの逆数を表していることが判る。また、数3の式は近似的に次式の様に

表すことができる。

【0059】

【数4】

$$S \cong \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

【0060】数4において、kはボルツマン定数、Tは絶対温度、qは電荷量、C<sub>d</sub>は空乏層容量、C<sub>it</sub>は界面準位の等価容量、C<sub>ox</sub>はゲイト酸化膜容量である。従って、本発明によれば空乏層容量C<sub>d</sub>が従来よりも十分小さくなるので、S値を85mV/decade以下（好ましくは70mV/decade以下）の小さな値とすることができる、即ち優れたサブスレッショルド特性を得ることができるのである。

【0061】また、本発明が目指すところは、空乏層容量C<sub>d</sub>および界面準位の等価容量C<sub>it</sub>を0に可能な限り近づけることである。即ち、C<sub>d</sub> = C<sub>it</sub> = 0となる理想状態におけるS値（60mV/decade）に近づけることにある。

【0062】また、チャネル形成領域が図1（C）に示す構造となっていることは短チャネル効果によるしきい値電圧の低下を緩和する上で非常に重要である。なぜならば、図1（C）に示す構造が意図的に狭チャネル効果を生み出すために必要な構成だからである。

【0063】例えば、図1（C）に示す様にある断面に着目すると、チャネル形成領域の幅Wは不純物領域104によって分断され、実質的に狭いチャネル幅w<sub>pa,m</sub>を持つ複数のチャネル形成領域の集合体と見なすことができる。

【0064】即ち、その複数の狭いチャネル幅w<sub>pa,m</sub>を有する領域において狭チャネル効果が得られるのである。マクロ的に見ると図1（A）に示す様にチャネル形成領域全体にこの様な狭チャネル効果が得られる領域が存在するので、全体的にも狭チャネル効果が得られ、しきい値電圧が増加すると考えられる。

【0065】従って、チャネル長に短くなることで短チャネル効果によってしきい値電圧が低下したとしても、以上の理由により狭チャネル効果によってしきい値電圧を意図的に増加させてしきい値制御を行うことができるので、結果的にしきい値電圧の変化を緩和することが可能となる。

【0066】また、他の発明の構成は、結晶半導体を利用してソース領域、ドレイン領域およびチャネル形成領域とを形成する工程と、前記チャネル形成領域において人為的かつ局部的に不純物領域を形成する工程と、前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、を少なくとも有する絶縁ゲイト型半導体装置の作製方法において、前記不純物領域にはエネルギーバンド幅（E<sub>g</sub>）をシフトさせる不純物元素が人為的かつ局部的に添加され、かつ、該不純物領域によりキャリアの移動経路が規定されることを特徴とする。

【0067】また、他の発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域を形成する工程と、前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、を少なくとも有する絶縁ゲイト型半導体装置の作製方法であって、前記ドレイン領域より前記チャネル形成領域およびソース領域に向かって広がる空乏層をピンングし、かつ、キャリアの移動経路を規定するための不純物領域を形成するために、前記チャネル形成領域に対してエネルギーバンド幅（E<sub>g</sub>）をシフトさせる不純物元素を人為的かつ局部的に添加する工程を有することを特徴とする。

【0068】また、他の発明の構成は、結晶半導体を利用して形成されたソース領域、ドレイン領域およびチャネル形成領域を形成する工程と、前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、を少なくとも有する絶縁ゲイト型半導体装置の作製方法であって、不純物元素の添加により所定のしきい値電圧に制御し、かつ、キャリアの移動経路を規定するための不純物領域を形成するために、前記チャネル形成領域に対してエネルギーバンド幅（E<sub>g</sub>）をシフトさせる不純物元素を人為的かつ局部的に添加する工程を有することを特徴とする。

【0069】また、他の発明の構成は、結晶半導体を利用してソース領域、ドレイン領域およびチャネル形成領域とを形成する工程と、前記チャネル形成領域においてエネルギーバンド幅（E<sub>g</sub>）をシフトさせる不純物元素を添加することにより、人為的かつ局部的に不純物領域を形成する工程と、前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、を少なくとも有する絶縁ゲイト型半導体装置の作製方法において、前記不純物領域は絶縁性を有しており、前記不純物領域によりキャリアの移動経路が規定され、前記チャネル形成領域において前記不純物領域以外の領域には前記不純物元素が添加されない又は極微量に添加されていることを特徴とする。

【0070】

【発明の実施の形態】図1において、ソース領域101、ドレイン領域102とで挟まれた領域がチャネル形成領域103である。本発明は、チャネル形成領域103に対して人為的、かつ、局部的に不純物を添加して不純物領域104を形成する。なお、不純物領域104はチャネル形成領域103の一端（例えばソース領域101）から他端（例えばドレイン領域102）に向かってチャネル方向（電界方向）と平行に形成された線状パターン形状を有している。

【0071】本発明では不純物領域に添加する不純物としてNチャネル型の場合にはボロンが、Pチャネル型の場合にはリンまたは砒素が用いられるため、逆導電型を有する不純物領域をキャリアが通過することはない。即

ち、不純物領域間にのみチャネル領域が形成され、そこをパスとしてキャリアの移動が行われる。

【0072】以上の様な構成とした半導体装置を駆動させた場合、ドレイン領域102近傍に形成されるドレイン側空乏層は不純物領域104に食い止められて横方向（チャネル形成領域下）に広がらない。即ち、ソース領域101およびチャネル形成領域103近傍のエネルギー状態（電位状態）がドレイン側空乏層に影響されないため、それぞれの電界は実質的には独立に形成される。

【0073】従って、いわゆる短チャネル効果に起因するバッチスルー現象やサブスレッショルド特性の劣化がなく、高いドレイン耐圧を実現することができる。

【0074】また、不純物領域104は実質的にチャネル幅を狭くしており、不純物領域104同士の間においてはいわゆる狭チャネル効果が生じる。従って、短チャネル効果に起因するしきい値電圧の低下を、狭チャネル効果に起因するしきい値電圧の増加によって緩和もしくは相殺することが可能である。

【0075】さらに、本発明では線状パターン形状を有する不純物領域104が側壁の様な役割を果たしてキャリアの移動する方向を規定するため、キャリア同士の自己衝突による散乱が低減される。即ち、移動度の向上を期待できる。

【0076】以上の構成でなる本発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0077】

【実施例】

【実施例1】本発明を用いて単結晶シリコン（珪素）基板上に絶縁ゲート型電界効果トランジスタを形成する例を図7を用いて説明する。なお、本実施例では説明を簡略化するためP型シリコン基板上に単体のNチャネル型FETを形成する場合の例を示す。

【0078】まず、701はP型シリコン基板であり、その上にはパッド酸化膜として酸化珪素膜702、さらにその上には後に選択酸化の際のマスクとして機能する窒化珪素膜703を形成する。酸化珪素膜702および窒化珪素膜703の膜厚は500～2000Åもあれば良い。

（図7（A））

【0079】次に、パターニングにより素子形成領域のみに窒化珪素膜703を残し、その状態でP型を付与する不純物元素のイオン注入を行い、さらにその後、1000～1100℃の温度でウェット酸化を行う。

【0080】この工程により露出したシリコン表面は選択的に熱酸化され、図7（B）に示す様にフィールド酸化膜704が形成される。フィールド酸化膜704は素子同士を絶縁分離する機能を有する。

【0081】また、前述のイオン注入工程により注入されたP型を付与する不純物元素（B）はフィールド酸化膜704の下にチャネルストッパー705を形成する。これは、フィールド酸化膜704下にチャネルが形成さ

れない様にするための領域であり、通常、母体となる基板（本実施例ではP型シリコン基板）と同じ導電性を持たせる。

【0082】そして、窒化珪素膜704、酸化珪素膜（パッド酸化膜）705を除去して図7（B）に示す状態が得られる。この様な選択酸化工程に際してはLOCOS法、PLANOX法、Isoplanar法、SWAMI法などの様々な選択酸化方法を用いることが可能である。

【0083】次に、チャネル形成領域706に対して逆導電型を付与するボロンを添加し、空乏層のストッパーとなる不純物領域707を形成する。不純物元素を添加する領域707はパターニングにより図示しないレジストに開孔を設けて選択的に設計すれば良い。

【0084】なお、不純物領域707を線状パターン状にするためには極めて微細なリソグラフィ技術を必要とする。そのためには、電子ビームを用いる技術（電子描画法）やイオンビームを用いる技術（FIB法）を用いて線状パターン形状の露光を行えば良い。

【0085】この時、不純物領域707同士の間隔 $w_{p,a,m}$ はそれぞれ揃えることが望ましい。なぜならば、しきい値電圧のバラツキ（狭チャネル効果のバラツキに起因する）や発熱のバラツキ（不純物領域間を流れる電流密度のバラツキに起因する）を生じる恐れがあるからである。

【0086】不純物の添加が終了したら、熱酸化処理を行い100～500Åの熱酸化膜708を形成する。この熱酸化処理により形成された薄い熱酸化膜708はそのままゲート絶縁膜として機能する。

【0087】さらに、チャネル形成領域706において酸化膜708上にゲート電極としてポリシリコン膜709を形成する。ゲート電極709は成膜する段階で予め不純物元素を添加しておいて導電性を持たせれば良い。こうして図7（C）に示す状態が得られる。

【0088】その後、図7（D）に示す様に、N型を付与する不純物元素（PまたはAs）を添加し、自己整合的にソース領域710、ドレイン領域711を形成する。その後、ゲート電極709を覆う様にして窒化珪素膜を3000Åの厚さに成膜し、エッチバック法を用いてゲート電極709の側面のみをサイドウォール712を残存させる。

【0089】次に、この状態で全面にスパッタ法によりチタン膜を成膜し、加熱、レーザーアニール、ランプアニールなど手段のよるシリサイド形成を行う。この工程により、ソース領域710およびドレイン領域711の表面ならびにゲート電極709の表面にはチタンシリサイド713～715が形成される。チタンシリサイド713～715は極めて低抵抗であるので、後に形成する配線とのオーミック接触を確保する上で好ましい。

【0090】シリサイド形成が終了したら、層間絶縁膜

17

として窒化珪素膜 716 を成膜し、コンタクトホールを形成してソース電極 717、ドレイン電極 718 を形成する。こうして図 7 (E) に示す様な構造の I G - F E T が完成する。

【0091】本発明では I G - F E T のチャネル形成領域に線状パターン状に不純物領域を形成することに特徴があるが、線状パターンの形成にはある範囲の条件を満たす必要がある。そのことについて、図 8 を用いて以下に記載する。

【0092】図 8 において、801 はチャネル形成領域の一部を示している。チャネル幅は W である。ここで、チャネル幅 W の内、線状パターン 802 が占有している幅を W<sub>pi</sub> と定義する。W<sub>pi</sub> の値としては例えば 10 ~ 100 Å もあれば十分である。また、任意の線状パターン 802 の幅を W<sub>pi,1</sub>、W<sub>pi,2</sub>、W<sub>pi,3</sub>・・・W<sub>pi,n</sub> とすると、W<sub>pi</sub> は次式で表される。

【0093】

【数 1】

$$W_{pi} = \sum_{n=1}^n W_{pi,n}$$

【0094】但し、本発明の構成を達成するためにはチャネル形成領域の端部以外の領域に、不純物領域が少なくとも一つ形成されている必要があるので n は 1 以上の整数である。

【0095】また、チャネル幅 W の内、線状パターン間の領域（電流の流れるパス）803 が占有している幅を W<sub>pa</sub> と定義する。W<sub>pa</sub> の値としては例えば 100 ~ 3000 Å（代表的には 500 ~ 1500 Å）とすることができる。また、任意の線状パターン間の領域 803 を W<sub>pa,1</sub>、W<sub>pa,2</sub>、W<sub>pa,3</sub>・・・W<sub>pa,m</sub> とすると、W<sub>pa</sub> は次式で表される。

【0096】

【数 2】

$$W_{pa} = \sum_{m=1}^m W_{pa,m}$$

【0097】但し、前述の様にチャネル形成領域の端部以外の領域に不純物領域が少なくとも一つ形成されているので、チャネル形成領域は少なくとも 2 分されて m は 2 以上の整数となる。

【0098】即ち、全チャネル幅 W は W = W<sub>pi</sub> + W<sub>pa</sub>、かつ、n + m は 3 以上という関係が成り立っている。そして、W と W<sub>pi</sub>、W と W<sub>pa</sub> および W<sub>pi</sub> と W<sub>pa</sub> との関係は、同時に以下の条件を満たすことが望ましい。

W<sub>pi</sub>/W = 0.1 ~ 0.9

W<sub>pa</sub>/W = 0.1 ~ 0.9

W<sub>pi</sub>/W<sub>pa</sub> = 1/9 ~ 9

【0099】これらの数式の意味するところは、W<sub>pa</sub>/W または W<sub>pi</sub>/W が 0 または 1 であってはならないとい

18

う事である。例えば、W<sub>pa</sub>/W = 0（W<sub>pi</sub>/W = 1 と同義）の場合、図 8 (B) に示す様にチャネル形成領域に完全に不純物領域で塞いでしまうので電流の流れるパスが存在しない状態となる。

【0100】逆に W<sub>pa</sub>/W = 1（W<sub>pi</sub>/W = 0 と同義）の場合、図 8 (C) に示す様にチャネル形成領域に不純物領域が全く存在しないのでドレイン側空乏層の広がりを抑えることができない。

【0101】以上の理由により、W<sub>pa</sub>/W および W<sub>pi</sub>/W の関係式は 0.1 ~ 0.9（好ましくは 0.2 ~ 0.8）の範囲に収まり、また、同時に W<sub>pi</sub>/W<sub>pa</sub> = 1/9 ~ 9 を満たすことが望ましい。なお、チャネル長を L とすると、チャネル形成面積は W × L で表される。

【0102】また、本発明において線状パターン形状を有する不純物領域を図 1 (A) に示す様に配置することは F E T の性能を示す代表的なパラメータである移動度の向上に対して非常に大きな意味がある。その理由について以下に説明する。

【0103】移動度は半導体（本実施例ではシリコン基板）中のキャリアの散乱によって決まるが、シリコン基板における散乱は格子散乱と不純物散乱とに大別される。格子散乱はシリコン基板中の不純物濃度が低く、比較的高温で支配的であり、不純物散乱は不純物濃度が高く、比較的低温で支配的である。これらが影響し合って形成される全体的な移動度 μ は次式で表される。

【0104】

【数 5】

$$\mu = (1/\mu_l + 1/\mu_i)^{-1}$$

【0105】この数 5 で示される式は、全体的な移動度 μ が、格子散乱の影響を受けた場合の移動度 μ<sub>l</sub>（<sub>l</sub> は lattice を意味する）の逆数および不純物散乱の影響を受けた場合の移動度 μ<sub>i</sub>（<sub>i</sub> は impurity を意味する）の逆数の和に反比例することを意味している。

【0106】ここで、格子散乱ではドリフト電界がそれほど強くなければ音響フォノンが重要な役割を果たし、その時の移動度 μ<sub>l</sub> は、次式の様に温度の -3/2 乗に比例する。従って、キャリアの有効質量 (m\*) と温度 (T) で決まってしまう。

【0107】

【数 6】

$$\mu_l \propto (m^*)^{-5/2} T^{-3/2}$$

【0108】また、不純物散乱による移動度 μ<sub>i</sub> は、次式の様に温度の 3/2 乗に比例し、イオン化した不純物の濃度 N<sub>i</sub> に逆比例する。即ち、イオン化した不純物の濃度 N<sub>i</sub> を調節することで変化させることができる。

【0109】

【数 7】

$$\mu \propto (m^*)^{-1/2} N_i^{-1/3}$$

【0110】これらの式によると、従来の様にチャネル形成領域全体に不純物を添加するチャネルドーピングでは不純物散乱の影響を受けて移動度を稼ぐことができない。しかしながら、本発明では局部的に不純物領域を形成しているため、隣接する不純物領域の間（Wpaの幅を持つ領域）には不純物が添加されない。

【0111】即ち、理論的には数7においてイオン化した不純物の濃度 $N_i$ を限りなく0に近づけることを意味するため、移動度 $\mu_i$ は限りなく無限大に近づいていくことになる。即ち、数5において $1/\mu_i$ の項を無視することができる程度にまで不純物を減少させることを意味するので全体の移動度 $\mu$ は限りなく移動度 $\mu_i$ に近づいていく。

【0112】また、キャリアの有効質量（ $m^*$ ）を小さくすることで移動度 $\mu_i$ をさらに大きくすることも理論的には可能である。これは極低温の領域において、キャリア（特に電子の場合）の有効質量が結晶軸の軸方位に依存して変化する現象を利用することで成しうる。

【0113】文献によれば、ソース／ドレイン間を結ぶチャネル方向（キャリアの移動する方向）が単結晶シリコンの〈100〉軸方向と一致する様に構成した時、最小の有効質量を得ることができる。

【0114】例えば、図16に示す様に、（100）面を有する単結晶シリコン基板1601上にソース領域1602、チャネル形成領域1603、ドレイン領域1604が形成されているとする。この時、チャネル方向1605を〔100〕とした場合の様子がこれに相当する。但し、この例は4°Kという極低温領域における結果である。

【0115】また、結晶格子間をうまくキャリアがすり抜けて行ける様に、チャネル方向および不純物領域707の軸方向（配列方向）と、結晶格子の軸方向とを概略平行（軸方向のずれを±10°以内に収める）にさせることが望ましい。単結晶ならばシリコン原子は規則正しく配列しているので、結晶格子の配列方向と平行に移動するキャリアは格子散乱の影響を殆ど受けないで済む。

【0116】例えば、単結晶シリコン基板において上記の様な方向における回転軸を0°とすると、他にも90°、180°、270°の回転軸の場合において同様の効果を得ることができる。

【0117】また、本発明ではPチャネル型FETに対してP（リン）を用いて不純物領域を形成するが、リンには金属元素をゲッタリングする性質があるため、電流の流れる経路から散乱の原因となりうる金属元素等を除去し、不純物領域に固定する効果も有している。

【0118】以上の様に、チャネル形成領域を移動するキャリアはチャネル形成領域内に存在する不純物領域以外の領域を通る。この様子を図17の模式図を用いて簡

単に説明する。

【0119】図17（A）において、1701で示されるのはチャネル形成領域である。即ち、図17（A）はチャネル形成領域を右斜め上方から見た図である。本発明を実施したチャネル形成領域は、立体的には図17（A）の様に不純物領域1702が形成されている。

【0120】図17（A）に記載された矢印1703はキャリア（電子または正孔）の進行方向を示すものである。図17（A）に示す様にチャネル形成領域1701内には複数の不純物領域1702が配置されており、キャリアはそれら不純物領域1702以外の領域を通過する。

【0121】キャリアの進行方向をチャネル形成領域1701の上面から見ると図17（B）の様に見える。図17（B）は図17（A）において、ACEFで表される面を見た図である。この図17（B）を見ると、キャリアが不純物領域1702を避け、不純物散乱のない領域を移動していることが判る。

【0122】即ち、大部分のキャリアは矢印で示す様に、不純物領域1702の間を通過してソース／ドレイン間を移動する。勿論、不純物領域を避ける様にしてジグザグに移動する場合も含まれる。

【0123】また、図17（C）に示すのは、チャネル形成領域1701を側面から見た図である。なお、図17（C）は図17（A）において、ABCDで表される面を見た図である。また、1703で示されるのは矢印であり、紙面に向かって手前方向に矢先が向いていることを示している。この図からもキャリアが不純物領域1702の間を移動することが判る。

【0124】また、線状パターン形状を有する不純物領域に挟まれた領域（以後、この領域をレーン領域と呼ぶ）におけるエネルギー状態（電位状態）を模式的に表した分布図は図13（A）の様になっていると考えられる。

【0125】図13（A）において、1301、1302で示される領域は不純物領域のエネルギー状態を示しており、エネルギー的に高い障壁となっている。そして、不純物領域から離れるに従って徐々にエネルギー的に低い領域1303となる。即ち、チャネル領域を移動するキャリア（ここでは電子を例にとる）は1303で示されるエネルギー状態の低い領域を優先的に移動し、1301、1302で示されるエネルギー障壁（不純物領域）は壁の様な役割を果たす。

【0126】ここで、チャネル領域を移動するキャリア（電子）のイメージを模式的に図13（B）で表す。イメージ的には、チャネル領域を移動するキャリア1300は図13（B）に表す様にまるで雨樋の中を転がる球体の様にその方向性が規定され、ソース領域からドレイン領域に向かってほぼ最短距離を移動する。

【0127】また、図13（B）に示す様に、チャネル

形成領域には図 13 (A) に示した様なレーン領域が複数並列に配置されて構成されているが、1301、1302 で示される領域を越えることがないため、隣接するレーン領域との間においてキャリアの移動は行われない。

【0128】以上の理由によりキャリアが他のキャリアと衝突する確率は大幅に減少するため、移動度が大幅に向上する。即ち、本発明の構成は不純物散乱を低減するのみならず、キャリア同士の自己衝突による散乱をも低減することで大幅な移動度の向上を実現することができる。

【0129】この様に従来においては常に悪影響を及ぼすとされてきたエネルギー障壁（グレインバンダリーなど）を逆に意図的に形成して利用するという本発明の発想は非常に新しいものである。

【0130】〔実施例 2〕本実施例では、本発明を利用して N チャネル型 FET (NMOS) と P チャネル型 FET (PMOS) とを相補的に組み合わせた CMOS 回路を構成する場合の例を示す。CMOS 回路の作製工程の詳細についてはここでは省略するが、本発明では実施例 1 で説明した様に、ゲート絶縁膜を形成する前にチャネル形成領域のみにドットパターン状の不純物領域を形成する。

【0131】図 14 (A) に本発明を利用した場合における CMOS 回路の断面を示す。図 14 (A) は一般的な作製方法で形成された CMOS 回路をチャネル方向で分断した断面図である。

【0132】図 14 (A) において、1401 は N 型シリコン基板、1402 は n ウェル、1403 は p ウェルである。つまり、n ウェル 1402 上に P チャネル型 FET (PMOS)、p ウェル 1403 上に N チャネル型 FET (NMOS) が形成される。

【0133】NMOS および PMOS はそれぞれ選択酸化法で形成されたフィールド酸化膜 1404 で分離され、p ウェル側のフィールド酸化膜の下にはチャネルストッパー 1405 が配置される。

【0134】また、n ウェル 1402 には P 型を付与する不純物、例えばボロンが添加されて PMOS のソース領域 1406、ドレイン領域 1407 が配置されている。また、p ウェル 1403 には N 型を付与する不純物、例えばリンや砒素が添加されて NMOS のドレイン領域 1408、ソース領域 1409 が配置されている。

【0135】また、ソース領域 1406、ドレイン領域 1407 およびソース領域 1408、ドレイン領域 1409 で挟まれたチャネル形成領域には、予めゲート絶縁膜 1410 を形成する前にドットパターン状の不純物領域 1411、1412 を形成しておく。

【0136】本実施例でゲート絶縁膜 1410 の形成前に不純物領域 1411、1412 を形成する理由は、ゲート絶縁膜 1410 とチャネル形成領域との界面に損傷

を与えないためであるが、ゲート絶縁膜 1410 を通して不純物を添加する方法をとることも可能である。

【0137】なお、本実施例では不純物領域 1311、1312 を形成するにあたって NMOS と PMOS とで添加する不純物元素を使い分けなければならない。本実施例では NMOS に対してボロンを用い、PMOS に対してリンを用いる。PMOS に添加する不純物元素は砒素であっても構わない。

【0138】また、本実施例の様な CMOS 回路を構成する場合、図 13 (A) に示す様にドレイン領域 1307、1308 内にも不純物領域 1311、1312 がかかる様に形成しておくことが望ましい。

【0139】なお、例えば本発明の半導体装置を画素などの様にソースとドレインが入れ替わる様な素子に用いる時はソース領域とドレイン領域の双方にかかる様に不純物領域を形成すれば良い。

【0140】そして、チャネル形成領域の上に導電性材料でなるゲート電極 1413、1414 を形成し、それを覆う様にして層間絶縁膜 1415 が成膜される。さらに、層間絶縁膜 1415 にコンタクトホールを形成して、PMOS のソース電極 1416、PMOS および NMOS の共通ドレイン電極 1417、NMOS のソース電極 1418 を配置する。

【0141】図 14 (A) に示す構造の CMOS 回路は本発明により短チャネル効果を問題としないで微細化することができるので、極めて集積度の高い集積化回路を構成しうる。

【0142】また、図 14 (A) に示した CMOS 回路とバイポーラトランジスタとを組み合わせた BiCMOS 回路を構成することも可能である。本発明を利用して形成した BiCMOS 回路の例を図 14 (B) に示す。

【0143】図 14 (B) において、1419 は P 型シリコン基板であり、1420 は埋め込み N<sup>+</sup> 領域、1421 はエピタキシャル成長により形成された p ウェルであり、埋め込み N<sup>+</sup> 領域 1420 上の p ウェル 1421 は N 型にドーピングされてコレクタとして機能する n ウェル 1422 となっている。また、1423 は埋め込み N<sup>+</sup> 領域 1420 からの取り出し電極となる Deep N<sup>+</sup> 領域である。

【0144】1424 は通常の変換酸化法で形成されたフィールド酸化膜であり、p ウェル 1421 には n<sup>+</sup> 領域 1425、n ウェル領域 1422 には p<sup>+</sup> 領域 1426 が形成されている。なお、バイポーラトランジスタを構成する側の n ウェル 1422 には活性ベースとなる p<sup>-</sup> 領域 1427 がまず形成され、次いで外部ベースとなる p<sup>+</sup> 領域 1428、n<sup>+</sup> 領域 1429 が配置される。

【0145】なお、PMOS 側および NMOS 側の両方には不純物領域 1330 が配置される。不純物領域 1330 は上記 n<sup>+</sup> 領域や p<sup>+</sup> 領域を形成した後に形成しても良いし、その前であっても良い。勿論、NMOS なら

ば 13 族の元素（代表的にはボロン）を、PMOS ならば 15 族の元素（代表的にはリンまたは砒素）を用いる。

【0146】そして、ゲート電極 1431、層間絶縁膜 1432、ソース／ドレイン配線 1433 を配置して BiCMOS 回路を構成する。BiCMOS 回路はバイポーラトランジスタの高速動作性と CMOS 回路の低消費電力性を有効に併用するための回路構成である。

【0147】〔実施例 3〕実施例 1 では不純物領域 707 の深さ方向の形状を棒状に記載したが、これは注入時に散乱が全くない場合の様な理想状態であって、実際にはイオン注入の条件によって様々な形状の不純物領域を形成することが可能である。

【0148】この様に深さ方向の形状を他の形状とした場合のチャネル形成領域の断面を図 9 に示す。ただし、図 9 に示すのチャネル形成領域をチャネル方向と垂直な面で分断した断面図である。

【0149】例えば、普通、イオン注入法によって添加された場合には図 9 (A) に示す様なクサビ状の不純物領域 901 が形成される。また、逆に図 9 (B) に示す様なシズク状の不純物領域 902 を形成することも可能である。特に、図 9 (B) に示した様な形状とすると、不純物領域 902 の下部で隣接する不純物領域同士が互いに接触する状態となる。

【0150】この状態では、実質的にチャネル形成領域がバルク基板と絶縁分離された SOI 構造と見なせるようになる。この構造はドレイン側空乏層がチャネル形成領域の空乏層に影響を与えるのを極めて効果的に抑制することができる。また、チャネル形成領域の空乏層が下方へ広がるのを防ぐ効果も期待できる。

【0151】〔実施例 4〕実施例 1 では図 1 (A) に示した様にソース／ドレイン間のチャネル方向（電界方向）に概略平行な線状パターン（不純物領域）を複数配置する例を示したが、設計パターンを変えることで他の様々な配置パターンとすることができる。

【0152】例えば、図 10 (A) に示す様に、線状パターン 1001 をジグザグに配置することも可能である。この場合、実質的に線状パターン 1001 がチャネル形成領域を占有する割合  $W_{pi}$  が増加するので、ドレイン側空乏層の横方向への広がりを効果的に防止することができる。特に、チャネル長が  $0.1 \mu m$  以下となった場合に様に短チャネル効果の影響が極めて大きくなる様な IG-FET において非常に効果的な構成である。

【0153】ただし、キャリアの移動距離が多少長くなる分、移動度が低下する可能性もある。しかし、この構造が効果を発揮するチャネル長  $0.1 \mu m$  以下の領域では、ソース領域からでたキャリアが一瞬でドレイン領域に到達するので、実質的には多少移動距離が長くなっても問題とならないと考えられる。

【0154】従って、例えばチャネル長が  $0.1 \mu m$  以上

の場合には図 1 (A) に示した様に線状パターン形状を有する不純物領域を配置し、チャネル長が  $0.1 \mu m$  以下の場合には図 10 (A) に示した様に配置することが望ましい。

【0155】また、図 10 (B) に示す様に、フィッシュボーン形状の線状パターン 1002 を配置することも可能である。この構造もドレイン側空乏層の横方向への広がりを防止するためには効果的であり、チャネル長が  $0.1 \mu m$  以下である様な微細素子において有効である。

【0156】〔実施例 5〕本発明は実施例 1 で示した様な横形 IG-FET だけでなく、さらに様々な構造の IG-FET に対しても適用することができる。例えば、横形 IG-FET には他にも LDD（オフセット）構造（図 11 (A)）、2 重ドレイン構造（図 11 (B)）、埋め込みチャネル構造（図 11 (C)）、SOI 構造（図 11 (D)）、SIMOX 構造（図 11 (E)）などがある。

【0157】本実施例では、Nチャネル型 FET を例にとり、上記構造に応用した場合について説明する。なお、図中の  $N+$ 、 $N-$  は N 型導電性の強弱を相対的に示したもので、 $N+$  は  $N-$  よりも強い N 型導電性を有していることを意味している。

【0158】図 11 (A) はソースまたはドレイン領域 1101 とチャネル形成領域 1102 との間に低濃度不純物領域 1103 を配置した構造である。低濃度不純物領域 1103 が存在する分、ドレイン側空乏層はなだらかに広がりやすいが、本発明によりその広がりを抑制することができる。

【0159】また、図 11 (B) はソースまたはドレイン領域 1104 の側面に  $0.1 \sim 0.5 \mu m$  幅の導電性領域 1105 を形成した構造である。ソースまたはドレイン領域 1104 と導電性領域 1105 は同じ導電性であり、導電性領域 1105 の方が導電性は弱い。例えば、ソースまたはドレイン領域 1104 を As（砒素）を注入して形成し、弱い導電性領域 1105 を P（燐）を注入して形成することで構成することができる。

【0160】図 11 (C) に示す埋め込みチャネル構造は Nチャネル型 FET と Pチャネル型 FET とで CMOS 回路を構成する様な時に結果的に形成される構成である場合が多く、短チャネル効果も影響を受けやすい構造である。

【0161】構造的には、例えば Nチャネル型 FET において、チャネル形成領域の界面付近にソース／ドレイン領域 1106 と同一かつ弱い導電性領域 1107 を形成して構成される。

【0162】従って、この導電性領域 1107 の直下にチャネルが形成されるのであるが、この様な場合においても本発明を実施することで短チャネル効果を抑制し、パンチスルー現象やしきい値電圧の低下を防止することができる。



【0163】また、SOI構造は素子として使用する半導体層を薄膜化して空乏層を低減する目的も含めて開発された技術であるからそれ自体短チャネル効果を抑制する効果を持っている。例えば、図11(D)に示す構造は一般的にSOS(silicon-on-sapphire)構造と呼ばれ、サファイア基板1108上にシリコン単結晶を成長させて形成される。

【0164】しかし、1 $\mu$ m以下の単結晶シリコン層を形成するのは困難であり、空乏層の広がりを抑えるにも限界がある。従って、本発明をSOI構造に応用すればより確実に短チャネル効果を防止することが可能となる。

【0165】なお、同じSOI構造の部類に含まれるが一般的にSIMOX(separation-by-implanted oxygen)と呼ばれる基板上にIG-FETを形成した例が図11(E)である。この場合、単結晶シリコン基板1109に対して酸素を注入することによって埋め込み酸化層1110を形成する。また、酸素の注入深さを浅くすることで極めて薄い単結晶薄膜を形成することができる。

【0166】この様な場合においても、本発明を用いることは可能である。この場合、ドレイン側空乏層がチャネル形成領域へと広がるのを抑止する(ピニングする)効果を期待することができる。

【0167】〔実施例6〕本発明においてチャネル形成領域に不純物領域を形成する手段として、レジストマスクを用いたパターニングによる方法以外にも、不純物が歪みに偏析する性質や酸化物に取り込まれる性質などを利用する方法も可能である。

【0168】まず、実施例1の手順に従って図7(B)と同じ状態を得る。即ち、図12(A)において、1201はシリコン基板、1202はフィールド酸化膜、1203はチャネルストッパーである。なお、図12はチャネル形成領域をチャネル方向と垂直な面で分断した断面図である。

【0169】この状態において、集束イオンビーム等を利用してシリコン基板表面の局所的な異方性エッチング加工を行い、スリット状(溝状)パターン1204を所望の位置に所望の形状で描画する。(図12(A))

【0170】次に、不純物元素(ここではボロンを例にする)を基板1204全面に添加する。この不純物元素は後にNチャネル型FETの不純物領域を形成するためのものである。また、注入深さはスリット状パターン1204の深さよりも深いことが望ましい。(図12(B))

【0171】不純物元素の添加が終了したら、次に1000~1200℃前後の高温で加熱処理を行う。この加熱処理によりスリット状パターン1204の側壁には熱酸化膜1205が形成され、スリット状パターン1204は埋め込まれる。従って、この領域は実質的にSiO<sub>x</sub>で表され

る様な酸化物領域1205となる。この場合、加熱処理を酸化性雰囲気で行うと酸化物領域1205の形成速度が増加するので好ましい。

【0172】そして、同時にシリコン基板1201全体に添加されていた不純物元素(ボロン)が酸化物領域1205に取り込まれる。ここで、熱酸化工程により熱酸化膜/シリコン界面近傍のボロンまたはリン濃度がどの様な分布を示すかを図18を用いて説明する。

【0173】図17に示す様に、Si中に存在する添加イオン(B、P)は酸化膜が形成されると再分布する。これは、シリコン(Si)中および熱酸化膜(SiO<sub>2</sub>)中において添加イオンの溶解度と拡散速度が異なるために起こる現象である。不純物のSi中における溶解度を[C]<sub>Si</sub>とし、SiO<sub>2</sub>中における溶解度を[C]<sub>SiO<sub>2</sub></sub>とする時、平衡偏析係数mは次式で定義される。

$$m = [C]_{Si} / [C]_{SiO_2}$$

【0174】この時、Si/SiO<sub>2</sub>界面近傍の不純物の偏析はmの値に支配される。通常、Si中における不純物の拡散係数が十分大きいとして、m<1の場合、Si中の不純物はSiO<sub>2</sub>中に取り込まれる(図18(A))。また、m>1の場合、SiO<sub>2</sub>が不純物を排斥し、その結果としてSi/SiO<sub>2</sub>界面近傍の不純物濃度が増大する(図18(B))。

【0175】文献値によると、ボロンのmの値は0.3程度であり、リンのmの値は10程度である。従って、本実施例における熱酸化工程後のボロンの濃度分布は図18(A)の様になり、熱酸化膜中にボロンが取り込まれ、不純物領域1206の側面(Si/SiO<sub>2</sub>界面近傍)におけるボロン濃度は極めて微量な状態となる。また、逆に形成された酸化物1205中には多量のボロンが含有される。

【0176】この様な熱酸化膜中へのボロンの取込み現象は既に知られていたが、本発明の様にエネルギー障壁(不純物領域)を形成するためにこの現象を利用する発想は全く新しいものである。

【0177】なお、図18(B)に示す様に、不純物元素としてリンを用いた場合には熱酸化膜とシリコンとの界面に偏析(パイルアップ)する。この現象もまた、Pチャネル型FETに不純物領域を形成する際に活用することができる。

【0178】また、単結晶シリコン基板1201に導電性を付与するためにリンやボロンといった一導電性を付与する不純物元素が添加されている場合、本実施例の様な酸化物へのリンまたはボロンの偏析現象を利用することで大幅な移動度の向上を図ることが可能である。

【0179】なぜならば、本実施例を実施すると不純物領域(代表的にはSiO<sub>2</sub>で示される酸化物)周辺の不純物(リンまたはボロン)が不純物領域に収集されてしまうので、不純物領域間のキャリアが移動する領域における不純物散乱の影響を極めて少なくすることができるか



らである。

【0180】このことは、先にも述べた様に数5において $\mu_1$ が大きくなることに相当するので、全体の移動度 $\mu$ は理想的に $\mu=\mu_1$ に近づいていく。即ち、実質的に格子散乱のみで決まる極めて大きな移動度を実現しうる。

【0181】また、本実施例の様に溝を形成する方法以外にも、例えば、集束イオンビームの様なマスクレスでイオン注入を行うことができる装置を用いて、直接単結晶シリコン基板上に酸素イオンを注入し、加熱処理を行うことでイオン注入した領域を酸化物領域に変成させることも可能である。集束イオンビーム以外にも電子ビーム等を用いても良い。

【0182】〔実施例7〕本実施例では、本発明を利用した半導体装置を製品（電子機器）に組み込んだ場合の一例を示す。ここでは、ノート型パソコンに組み込まれたIC回路を例にとって説明する。説明は図19を用いて行う。

【0183】図19において、3001は本体、3002はフタ部、3003はキーボード、3004は画像表示部であり、本体3001内には様々な集積回路3005が組み込まれている。

【0184】集積回路3005を取り出してみると、外部はパッケージ3011で覆われて内部の半導体チップは樹脂等で保護されている。また、内部の半導体チップはリード3012によって外部と接続される。通常、目にする集積回路（ICチップ）3005は、外目には黒色のパッケージ3011とリード3012しか見えないので完全にブラックボックスとなっている。

【0185】そのパッケージ3011で保護された半導体チップを取り出して見ると、例えば次の様な構成となっている。まず、基板3013上には演算部（プロセッサ）3014とメモリ部3015が配置されている。なお、3016は半導体素子とリード3012とを接続するボンディング部である。

【0186】演算部3014、メモリ部3015はCMOS回路、BiCMOS回路、DRAM回路、SRAM回路など、他にも様々な回路を用いて構成されている。本実施例で示した図15の様な構成は、同一基板上に演算部3014とメモリ部3015が配置されていることに特徴がある。

【0187】この様に演算部3014とメモリ部3015とが隣接した構成とすると、演算部3014とメモリ部3015との間のデータのやりとりが非常に高速で行われるようになるため、動作速度の速い回路を形成することが可能となる。

【0188】また、ワンチップ上に必要な回路を全て集積化することも可能であるので、製造コストを大幅に低減することも期待できる。さらには、配置面積を減らすことで製品の小型化を図ることもできる。

【0189】本発明を利用すれば短チャネル効果を問題とせず半導体素子の微細化を行うことができるので、上記の様なワンチップ化と併用することで半導体電子機器のさらなる小型化、携帯化が実現できる。

【0190】〔実施例8〕本発明は実施例7に示した例以外にも様々な半導体電子機器に応用することが可能である。なぜならば、本発明による半導体装置の電気特性は非常に優れたものであり、これを用いて構成したIC回路は高い周波数特性を実現しうるからである。

【0191】本発明を利用して形成された半導体素子単体のデバイス特性は非常に優れたものとなり、Nチャネル型FETのしきい値電圧 $V_{th,n}$ は $-0.5\sim 3.0$  V、Pチャネル型FETのしきい値電圧 $V_{th,p}$ は $-3.0\sim 0.5$  Vの範囲で必要とする駆動電圧に合わせて調節できる。また、S値は $60\sim 85\text{mV/decade}$ 、好ましくは $60\sim 70\text{mV/decade}$ が得られる。

【0192】また、実施例1で説明した様な理由により高い移動度（ $1000\text{cm}^2/\text{Vs}$ 以上）を得ることができる。移動度を計算式で求める場合、移動度はチャネル幅 $W$ に反比例するので注意が必要である。本発明を実施する場合、チャネル形成領域においては不純物領域によって少なからずチャネル幅が狭くなっているため、実測チャネル幅 $W_{pa}$ を代入しなければ実際の移動度は得られない。

【0193】以上の様な優れた電気特性を達しうる本発明の半導体装置でIC回路を構成すると、極めて良好な周波数特性を得ることができる。例えば、本発明の半導体装置を用いて9段のリングオシレータを構成すると、3.3 Vの駆動電圧で $2\sim 10\text{GHz}$ の周波数特性を実現しうる。

【0194】例えば、高周波電子機器である携帯電話などの様に高い周波数特性を必要とする電子機器に対して本発明は有効である。携帯電話の入力部等に用いられるIC回路は $2\text{GHz}$ の周波数特性を必要とするのであるが、本発明はその様な高周波IC回路に対しても十分に対応することができる。

【0195】

【発明の効果】本発明を利用することでチャネル長が短くなった場合に生じる短チャネル効果を防止することが可能となる。具体的には、まずドレイン側空乏層がソース領域やチャネル形成領域下に広がるのを、チャネル形成領域に局部的に形成した不純物領域で遮り、チャネル形成領域のエネルギー（電位）状態にドレイン電圧が影響しない構成とする。これによりパンチスルー現象やサブスレッショルド特性の劣化を防止することが可能となる。また、同時に高いドレイン耐圧を実現することができる。

【0196】また、短チャネル効果の特徴の一つであるしきい値電圧の低下を狭チャネル効果によるしきい値電圧の増加によって抑制することができる。この狭チャネル効果は、チャネル形成領域に局部的に不純物領域を形

成するという本発明の構成によって人為的に成しうる効果である。

【0197】以上の様に、本発明を利用することでチャネル長の短いディープサブミクロン領域における半導体装置においても、短チャネル効果を引き起こすことなく動作させることができる。従って、本発明の半導体装置を利用することで非常に高密度に集積化された集積化回路を構成することができる。

【0198】また、本発明ではチャネル形成領域にエネルギー的にスリット状のレーン領域を形成することでキャリアの移動方向を規定し、キャリア同士の自己衝突による散乱を低減することが可能である。

【0199】即ち、キャリアの移動度低下を招く原因となる不純物散乱、格子散乱、キャリア同士の自己衝突による散乱が大幅に低減され、移動度が大きく向上する。即ち、IGFETに代表される半導体装置のより一層の性能向上が望める。

#### 【図面の簡単な説明】

- 【図1】 チャネル形成領域の構成を示す図。
- 【図2】 チャネル形成領域の構成を示す図。
- 【図3】 従来の半導体装置を説明するための図。
- 【図4】 チャネル形成領域のエネルギー状態を示す図。
- 【図5】 従来の半導体装置の特性を説明するための図。
- 【図6】 従来の半導体装置の構成を示す図。
- 【図7】 絶縁ゲート型電界効果トランジスタの作製

工程を示す図。

【図8】 不純物領域の形成条件を説明するための図。

【図9】 不純物領域の深さ方向の形状を示す図。

【図10】 不純物領域の形状および配置を説明するための図。

【図11】 絶縁ゲート型電界効果トランジスタの構造を示す図。

【図12】 不純物領域の作製工程を示す図。

【図13】 ソース/ドレイン間のエネルギー状態を示す図。

【図14】 絶縁ゲート型電界効果トランジスタの構造を示す図。

【図15】 チャネル形成領域のエネルギー状態を示す図。

【図16】 チャネル形成領域の構成を示す図。

【図17】 チャネル形成領域の構成を示す図。

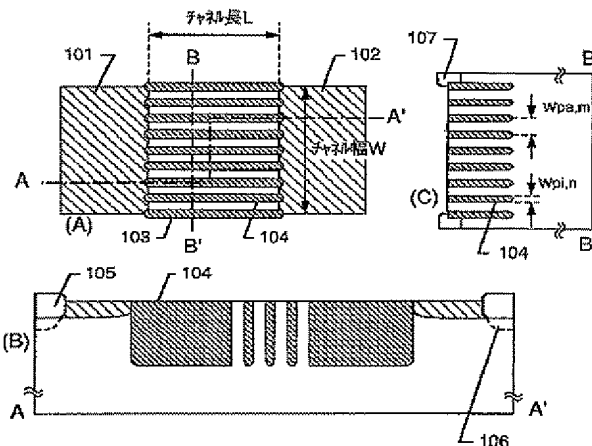
【図18】 不純物の偏析状態を説明するための図。

【図19】 半導体装置の応用例を示す図。

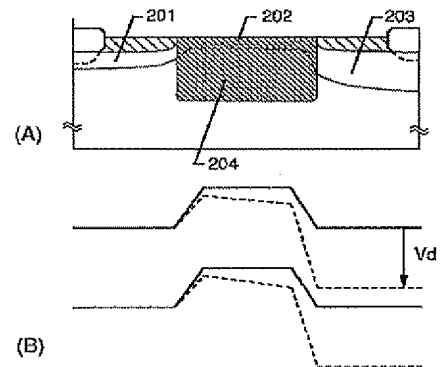
#### 【符号の説明】

- 101 ソース領域
- 102 ドレイン領域
- 103 チャネル形成領域
- 104 不純物領域（線状パターン）
- 105 フィールド酸化膜
- 106 チャネルストッパー

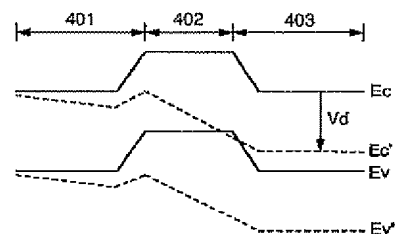
【図1】



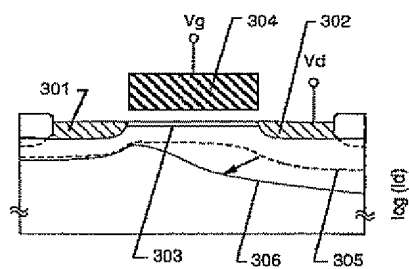
【図2】



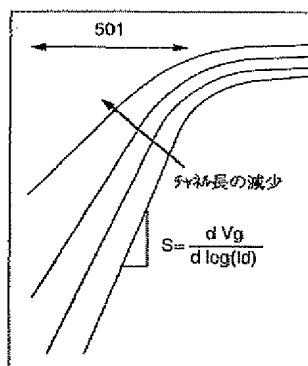
【図4】



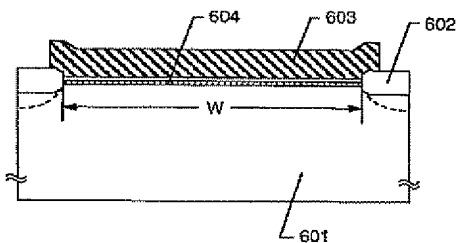
【図 3】



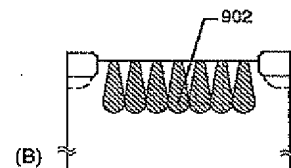
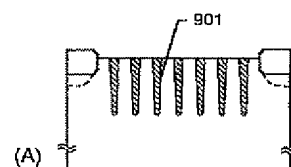
【図 5】

ゲート電圧  $V_g$ 

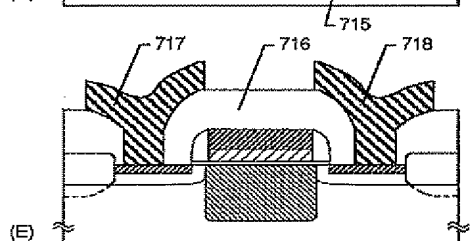
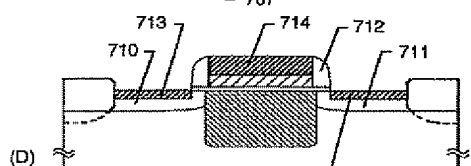
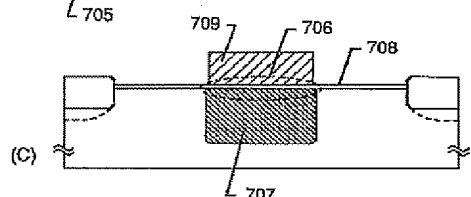
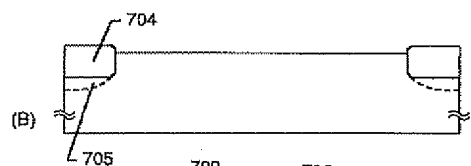
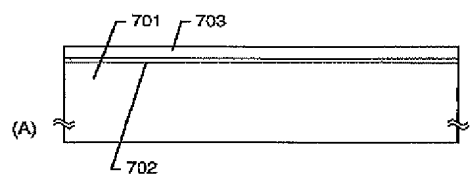
【図 6】



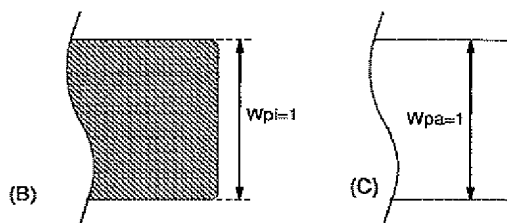
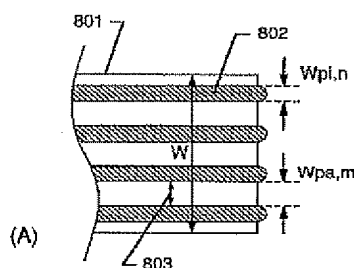
【図 9】



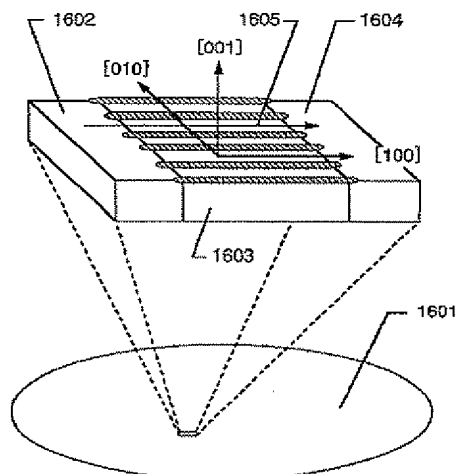
【図 7】



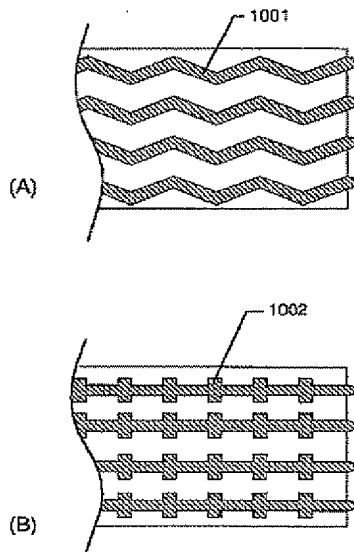
【図 8】



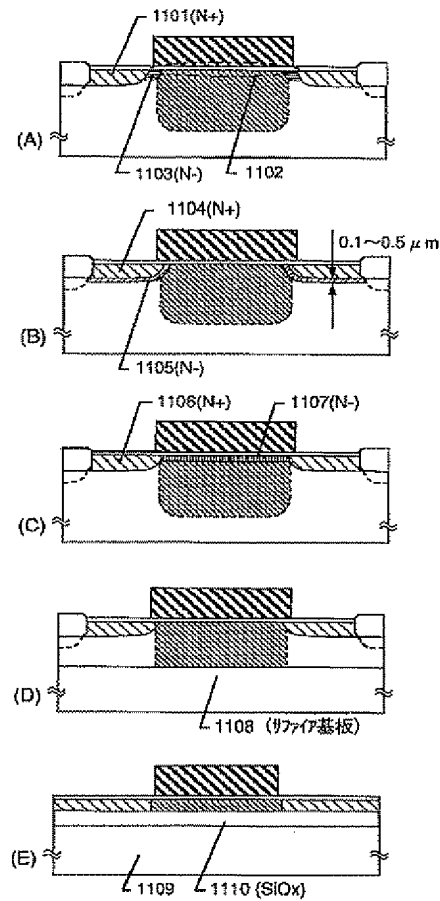
【図 16】



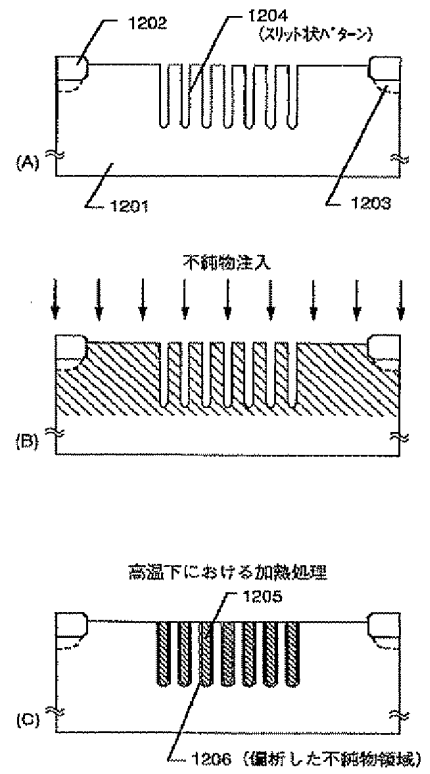
【図 10】



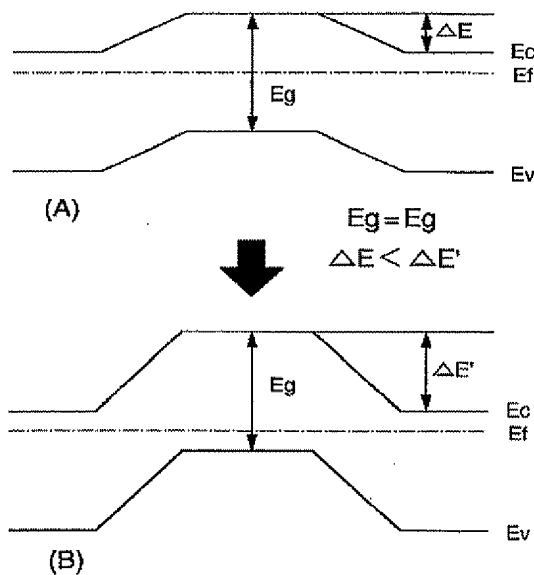
【図 11】



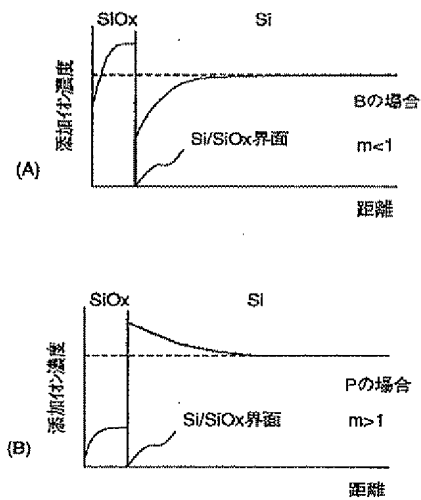
【図 12】



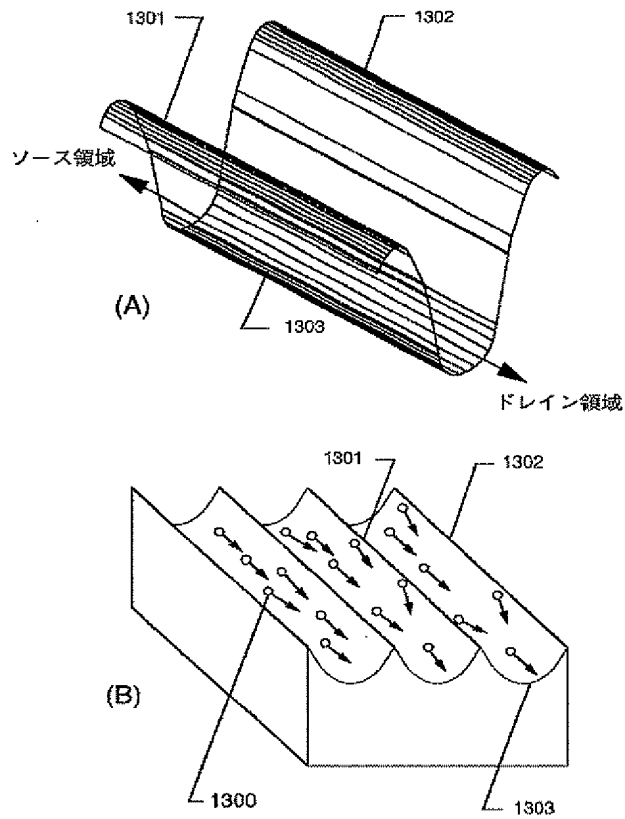
【図 15】



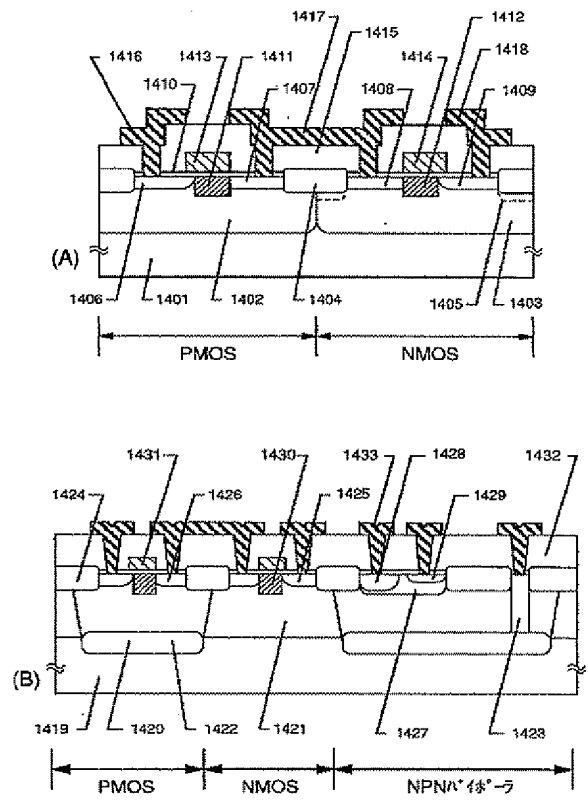
【図 18】



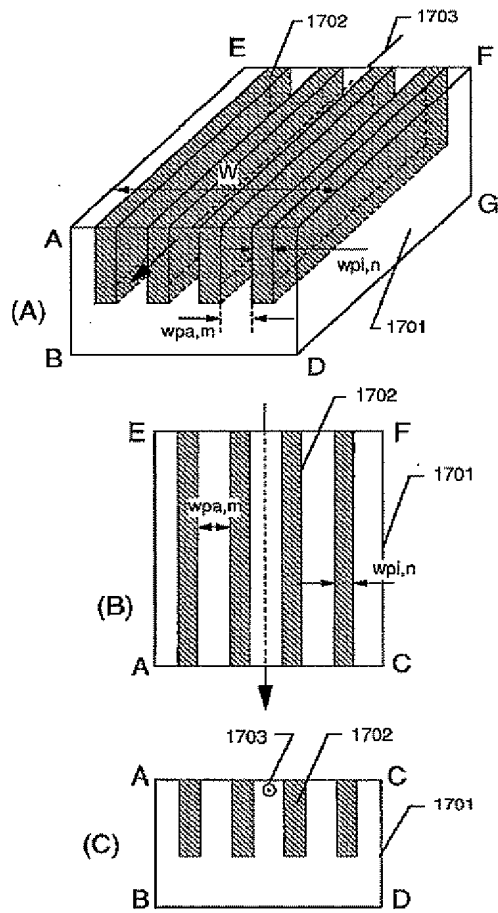
【図 1 3】



【図 1 4】



【図 17】



【図 19】

